

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0007

Applicant: Seung Cheol BAE

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: SETUP/HOLD TIME CONTROL DEVICE

CLAIM FOR CONVENTION PRIORITY

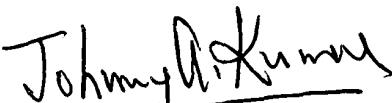
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0082033 filed December 21, 2002

Respectfully submitted,

By 

Johnny A. Kumar

Date: June 30, 2003

HELLER EHRLICH WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633


26633

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0082033
Application Number

출원년월일 : 2002년 12월 21일
Date of Application DEC 21, 2002

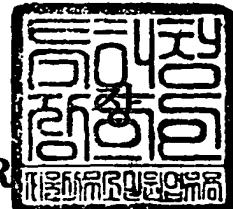
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 20일

특허청

COMMISSIONER



【청구항 4】

제 1 항에 있어서, 상기 신호지연부는

상기 지연제어부에 의해 상기 드라이버의 제 1노드에 선택적으로 연결되는 제 1캐
패시터부; 및

상기 지연제어부에 의해 상기 드라이버의 제 2노드에 선택적으로 연결되는 제 2캐
패시터부를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 5】

제 4 항에 있어서, 상기 제 1캐패시터부 및 제 2캐패시터부는

모스 캐패시터임을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 6】

제 4 항에 있어서, 상기 지연 제어부는

제 1테스트 모드 지연신호의 상태에 따라 상기 제 1캐패시터부를 상기 드라이버에
선택적으로 연결하여 상기 글로벌 버스 라인 제어신호의 셋업/홀드 타임을 지연하는 제
1지연 제어부; 및

제 2테스트 모드 지연신호의 상태에 따라 상기 제 2캐패시터부를 상기 드라이버에
선택적으로 연결하여 상기 글로벌 버스 라인 제어신호의 셋업/홀드 타임을 앞당기는 제
2지연 제어부를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 7】

제 6 항에 있어서, 상기 제 1지연 제어부는



NMOS게이트를 통해 상기 제 1테스트 모드 지연신호가 인가되고, PMOS게이트를 통해 반전된 상기 제 1테스트 모드 지연신호가 인가되어 상기 제 1모스 캐패시터부를 상기 제 1노드에 선택적으로 연결하는 제 1전송게이트 및 제 2전송게이트를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 8】

제 6 항에 있어서, 상기 제 2지연 제어부는 PNMOS게이트를 통해 상기 제 2테스트 모드 지연신호가 인가되고, NMOS게이트를 통해 반전된 상기 제 2테스트 모드 지연신호가 인가되어 상기 제 2캐패시터부를 상기 제 2노드에 선택적으로 연결하는 제 3전송게이트 및 제 4전송게이트를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 9】

제 6 항에 있어서, 상기 디코딩부는 상기 테스트 제어신호가 하이 레벨일 경우 상기 제 1테스트 모드 지연신호를 하이 레벨로 출력하여 상기 제 1캐패시터부를 상기 제 1노드에 연결하고, 상기 테스트 제어신호가 로우 레벨일 경우 상기 제 2테스트 모드 지연신호를 하이 레벨로 출력하여 상기 제 2캐패시터부와 상기 제 2노드의 연결을 차단함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 10】

제 6 항 또는 제 9 항에 있어서, 상기 디코딩부는

상기 테스트 제어 신호와 상기 테스트 모드 진입 신호를 논리연산하여 제 1출력신호 및 제 2출력신호를 출력하는 논리부;

상기 제 1출력신호와 상기 테스트 모드 종료 신호를 래치하여 상기 제 1테스트 모드 지연신호를 출력하는 제 2래치; 및

상기 제 2출력신호와 상기 테스트 모드 종료 신호를 래치하여 상기 제 2테스트 모드 지연신호를 출력하는 제 3래치를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 11】

제 10 항에 있어서, 상기 논리부는

상기 테스트 제어 신호와 상기 테스트 모드 진입 신호를 논리연산하여 상기 제 1 출력신호를 출력하는 제 1낸드게이트; 및

상기 테스트 모드 진입 신호와 반전된 상기 테스트 모드 진입 신호를 논리연산하여 상기 제 2출력신호를 출력하는 제 2낸드게이트를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 12】

제 10 항에 있어서, 상기 제 2래치는

서로의 출력신호를 그 입력으로 하는 제 3낸드게이트 및 제 4낸드게이트를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 13】

제 10 항에 있어서, 상기 제 3래치는

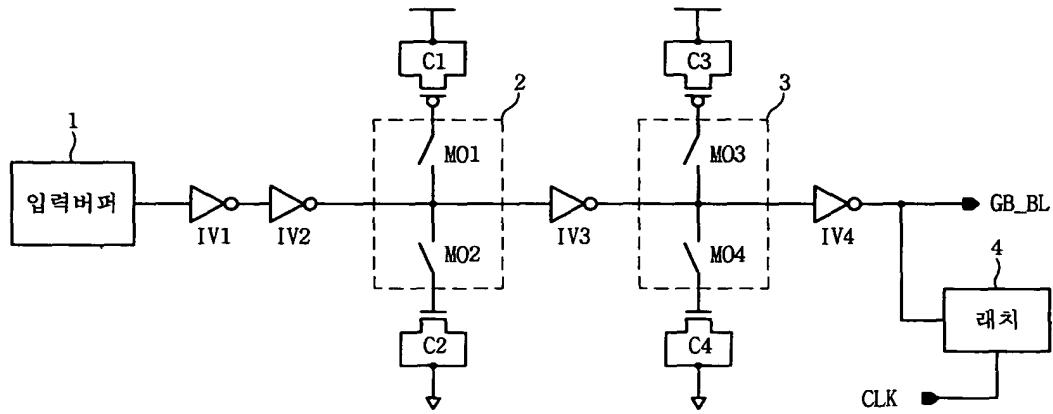
1020020082033

출력 일자: 2003/5/21

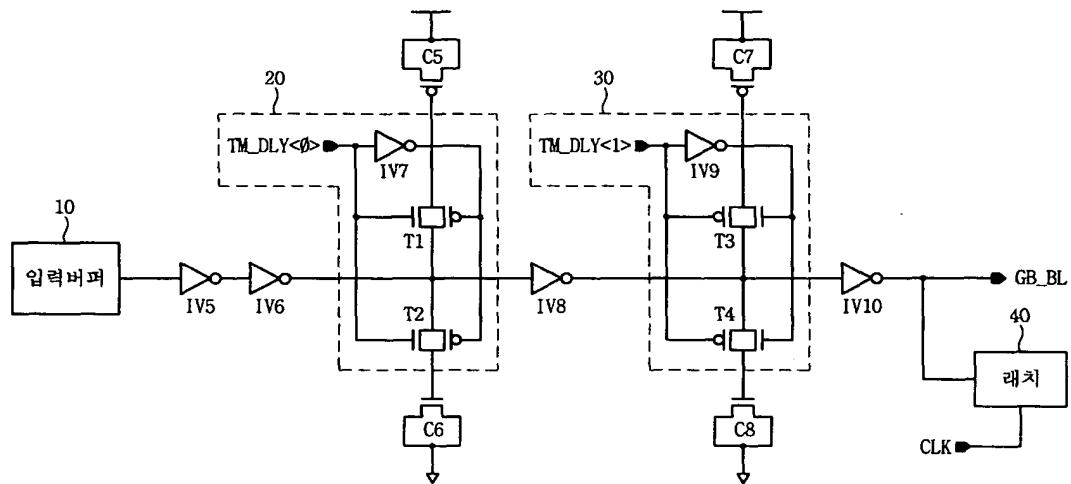
서로의 출력신호를 그 입력으로 하는 제 5낸드게이트 및 제 6낸드게이트를 구비함
을 특징으로 하는 셋업/홀드 타임 제어 장치.

【도면】

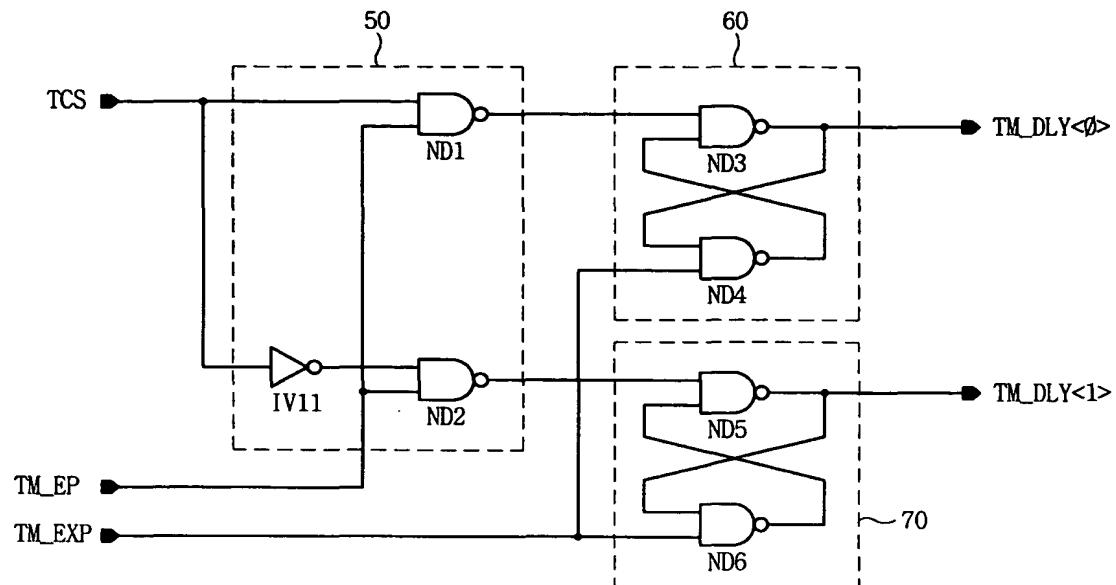
【도 1】



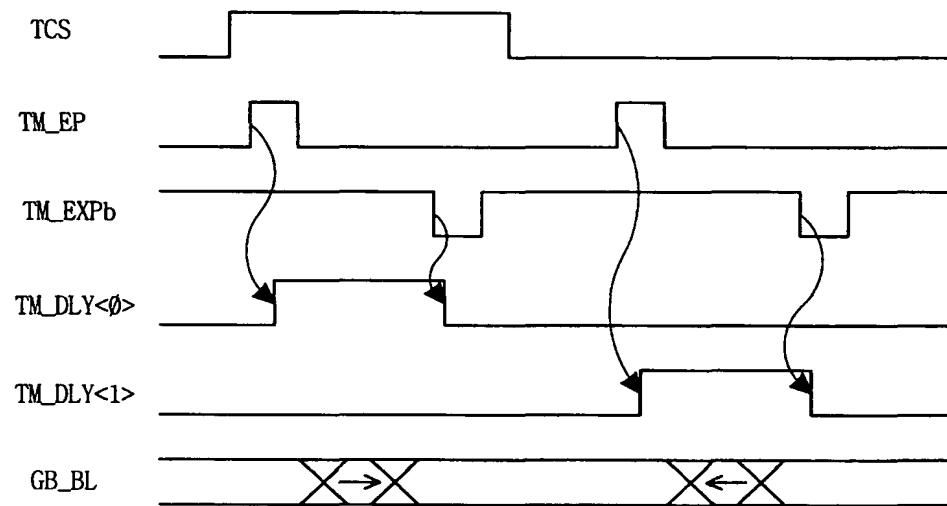
【도 2】



【도 3】



【도 4】



로 연결하여 글로벌 버스 라인 제어신호의 셋업/홀드 타임을 제어하는 지연제어부를 구비함을 특징으로 한다.

- <19> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- <20> 도 2는 본 발명에 따른 셋업/홀드 타임 제어 장치의 회로도이다.
- <21> 본 발명은 드라이버와, 신호지연부와, 지연제어부(20,30) 및 래치(40)를 구비한다.
- <22> 여기서, 드라이버는 직렬 연결되어 입력버퍼(10)의 출력신호를 비반전 지연하는 복수개의 인버터 IV5, IV6, IV8, IV10를 구비한다. 그리고, 드라이버는 입력버퍼(10)로부터 출력되는 어드레스, 명령신호 또는 입력 데이터를 구동하여 글로벌 버스 라인 제어신호 GB_BL를 래치(40)에 제공한다.
- <23> 신호지연부는 지연제어부(20)에 의해 인버터 IV6의 출력단에 선택적으로 연결되는 모스 캐패시터 C5,C6를 구비한다. 그리고, 모스 캐패시터 C7,C8는 지연제어부(30)에 의해 인버터 IV8의 출력단에 선택적으로 연결된다.
- <24> 여기서, 지연 제어부(20)는 테스트 모드 지연신호 TM_DL<0>의 상태에 따라 모스 캐패시터 C5,C6를 인버터 IV6의 출력단에 선택적으로 연결한다. 지연 제어부(20)는 인버터 IV7와, 전송게이트 T1,T2를 구비하여 모스 캐패시터 C5,C6를 선택적으로 제어함으로써 래치(40)에 제공되는 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 제어한다.

<25> 전송게이트 T1, T2는 NMOS게이트를 통해 테스트 모드 지연신호 TM_DLY<0>가 인가되고, PMOS게이트를 통해 인버터 IV7에 의해 반전된 테스트 모드 지연신호 TM_DLY<0>가 인가된다.

<26> 그리고, 지연 제어부(30)는 테스트 모드 지연신호 TM_DLY<1>의 상태에 따라 모스 캐패시터 C7, C8를 인버터 IV8의 출력단에 선택적으로 연결한다. 지연 제어부(30)는 인버터 IV9와, 전송게이트 T3, T4를 구비하여 모스 캐패시터 C7, C8를 선택적으로 제어함으로써 래치(40)에 제공되는 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 제어한다.

<27> 전송게이트 T3, T4는 PMOS게이트를 통해 테스트 모드 지연신호 TM_DLY<1>가 인가되고, NMOS게이트를 통해 인버터 IV9에 의해 반전된 테스트 모드 지연신호 TM_DLY<1>가 인가된다.

<28> 래치(40)는 클럭 신호 CLK에 동기되어 글로벌 버스 라인 제어신호 GB_BL를 래치하여 글로벌 버스 라인(미도시)에 출력한다.

<29> 도 3은 상술된 도 2의 테스트 모드 지연신호 TM_DLY<1:0>을 제어하기 위한 디코딩부의 상세 회로도이다.

<30> 디코딩부는 테스트 제어 신호 TCS와 테스트 모드 진입 신호 TM_EP를 논리연산하는 논리부(50)와, 논리부(50)의 출력과 테스트 모드 종료 신호 TM_EXP를 래치하여 테스트 모드 지연신호 TM_DLY<1:0>를 출력하는 래치(60, 70)를 구비한다.



<31> 여기서, 논리부(50)는 테스트 제어 신호 TCS와 테스트 모드 진입 신호 TM_EP를 낸드연산하는 낸드게이트 ND1과, 테스트 모드 진입 신호 TM_EP와 인버터 IV11에 의해 반전된 테스트 모드 진입 신호 TM_EP를 낸드연산하는 낸드게이트 ND2를 구비한다.

<32> 그리고, 래치(60)는 서로의 출력신호를 그 입력으로 하는 낸드게이트 ND3,ND4를 구비한다. 낸드게이트 ND3는 낸드게이트 ND1의 출력신호와 낸드게이트 ND4의 출력신호를 낸드연산하여 테스트 모드 지연신호 TM_DL<0>를 출력한다. 낸드게이트 ND4는 테스트 모드 종료 신호 TM_EXP와 낸드게이트 ND3의 출력신호를 낸드연산한다.

<33> 또한, 래치(70)는 서로의 출력신호를 그 입력으로 하는 낸드게이트 ND5,ND6를 구비한다. 낸드게이트 ND5는 낸드게이트 ND2의 출력신호와 낸드게이트 ND6의 출력신호를 낸드연산하여 테스트 모드 지연신호 TM_DL<1>를 출력한다. 낸드게이트 ND6은 테스트 모드 종료 신호 TM_EXP와 낸드게이트 ND5의 출력신호를 낸드연산한다.

<34> 이러한 구성을 갖는 본 발명의 셋업/홀드 타임 제어 장치의 동작과정을 도 4의 타이밍도를 참조하여 설명하면 다음과 같다.

<35> 먼저, 정상 동작의 상태에서는 테스트 모드 지연신호 TM_DL<1:0>가 모두 로우가 된다. 따라서, 테스트 모드 지연신호 TM_DL<0>에 따라 전송게이트 T1,T2가 모두 턴오프가 되어 인버터 IV6의 출력단에 모스 캐패시터 C5,C6에 아무런 영향을 미치지 않게 된다. 또한, 테스트 모드 지연신호 TM_DL<1>에 따라 전송게이트 T3,T4가 턴온되어 인버터 IV8의 출력단에 모스 캐패시터 C7,C8가 연결된다. 이에 따라, 인버터 IV8의 출력신호가 지연되어 글로벌 버스 라인 제어신호 GB_BL가 지연된다.

<36> 만약, 테스트 모드 상태에서 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 지연하기 위해서는 테스트 모드 지연신호 TM_DLY<0>가 하이가 되도록 디코딩부를 제어 한다. 반면에, 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 앞당기기 위해서는 테스트 모드 지연신호 TM_DLY<1>가 하이가 되도록 디코딩부를 제어한다.

<37> 즉, 테스트 제어 신호 TCS가 하이일 경우, 즉 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 지연하기 위해서 테스트 모드 진입 신호 TM_EP가 하이로 인에이블 된다.

<38> 테스트 모드 진입 신호 TM_EP가 하이로 인에이블 되면, 논리부(50)의 낸드게이트 ND1은 로우 신호를 출력하고, 낸드게이트 ND2는 하이 신호를 출력한다. 그리고, 테스트 모드 지연신호 TM_DLY<0>가 하이가 되면 지연 제어부(20)의 전송게이트 T1,T2가 턴온되어 모스 캐패시터 C5,C6로 인해 인버터 IV6의 출력신호를 지연시킨다.

<39> 또한, 테스트 모드 지연신호 TM_DLY<1>가 로우가 되면 지연 제어부(30)의 전송게이트 T3,T4가 턴온되어 모스 캐패시터 C7,C8로 인해 인버터 IV8의 출력신호를 지연시킨다.

<40> 이후에, 테스트 모드 종료 신호 TM_EXPb가 발생하게 되면 테스트 모드 지연신호 TM_DLY<0>가 로우 레벨로 디스에이블되어 노말 상태를 유지하게 된다.

<41> 따라서, 테스트 제어신호 TCS가 하이일 경우, 테스트 모드 지연신호 TM_DLY<0>가 하이로 되어 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 지연시킨다.

<42> 반면에, 테스트 제어 신호 TCS가 로우일 경우, 즉 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 앞당기기 위해서 테스트 모드 진입 신호 TM_EP가 하이로 인에 이를 된다.

<43> 테스트 모드 진입 신호 TM_EP가 하이로 인에 이를 되면, 논리부(50)의 낸드게이트 ND1은 하이 신호를 출력하고, 낸드게이트 ND2는 로우 신호를 출력한다. 그리고, 테스트 모드 지연신호 TM_DLY<0>가 로우가 되면 지연 제어부(20)의 전송게이트 T1,T2가 턴오프되어 인버터 IV6의 출력신호가 지연되지 않는다.

<44> 또한, 테스트 모드 지연신호 TM_DLY<1>가 하이가 되면 지연 제어부(30)의 전송게이트 T3,T4가 턴오프되어 인버터 IV8의 출력신호가 지연되지 않는다.

<45> 이후에, 테스트 모드 종료 신호 TM_EXPb가 발생하게 되면 테스트 모드 지연신호 TM_DLY<1>가 로우 레벨로 디스에이블되어 노말 상태를 유지하게 된다.

<46> 따라서, 테스트 제어신호 TCS가 로우일 경우, 테스트 모드 지연신호 TM_DLY<1>가 하이로 되어 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 앞당길 수 있게 된다

【발명의 효과】

<47> 이상에서 설명한 바와 같이, 본 발명은 입력버퍼로부터 출력된 제어신호의 셋업/홀드 타임을 소프트웨어적인 동작 명령으로 변경시킴으로써 메탈층의 물리적인 변화 없이 빠르고 적은 비용으로 셋업/홀드 타임을 최적화시킬 수 있도록 하는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

입력버퍼의 출력신호를 증폭하여 글로벌 버스 라인 제어신호를 출력하는 드라이버;

상기 드라이버에 선택적으로 연결되어 상기 글로벌 버스 라인 제어신호를 지연시키는 신호지연부;

상기 글로벌 버스 라인 제어신호의 셋업/홀드 타임의 동작 여부를 제어하는 테스트 제어신호와, 테스트 모드 진입 신호 및 테스트 모드 종료 신호를 디코딩하여 테스트 모드 지연신호를 출력하는 디코딩부; 및

상기 테스트 모드 지연신호의 상태에 따라 상기 신호지연부를 상기 드라이버에 선택적으로 연결하여 상기 글로벌 버스 라인 제어신호의 셋업/홀드 타임을 제어하는 지연 제어부를 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 2】

제 1 항에 있어서,

클럭신호에 동기하여 상기 글로벌 버스 라인 제어신호를 래치하여 출력하는 제 1래치를 더 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【청구항 3】

제 1 항에 있어서, 상기 드라이버는

직렬 연결되어 상기 입력버퍼의 출력신호를 비반전 지연하는 인버터 체인을 구비함을 특징으로 하는 셋업/홀드 타임 제어 장치.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.21
【국제특허분류】	H01L
【발명의 명칭】	셋업 /홀드 타임 제어 장치
【발명의 영문명칭】	Apparatus for controlling setup/hold time
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	배승철
【성명의 영문표기】	BAE, Seung Cheol
【주민등록번호】	720320-1105521
【우편번호】	467-140
【주소】	경기도 이천시 고담동 72-1 고담기숙사 106-202
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	15	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	13	항	525,000	원
【합계】			554,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 셋업/홀드 타임 제어 장치에 관한 것으로, 입력버퍼로부터 인가되는 각종 제어신호들의 셋업/홀드 타임을 소프트웨어적인 동작 명령으로 변화시킬 수 있도록 하는 셋업/홀드 타임 제어 장치에 관한 것이다. 이를 위해, 본 발명은 디코딩된 테스트 모드 제어신호에 따라 선택적으로 스위칭 동작하는 전송게이트를 구비하여, 드라이버의 구동시 신호지연소자를 선택적으로 사용함으로써 글로벌 버스 라인에 인가되는 각종 제어신호의 셋업/홀드 타임을 적절히 제어할 수 있도록 한다. 따라서, 본 발명은 물리적인 메탈 옵션 제어 방식에 비하여 빠르고 적은 비용으로 셋업/홀드 타임을 최적화시킬 수 있도록 하는 효과를 제공한다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

셋업/홀드 타임 제어 장치{Apparatus for controlling setup/hold time}

【도면의 간단한 설명】

도 1은 종래의 셋업/홀드 타임 제어 장치에 관한 회로도.

도 2는 본 발명에 따른 셋업/홀드 타임 제어 장치에 관한 회로도.

도 3은 본 발명의 디코딩부에 관한 회로도.

도 4는 본 발명에 따른 셋업/홀드 타임 제어 장치의 동작 타이밍도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 셋업/홀드 타임 제어 장치에 관한 것으로, 입력버퍼로부터 인가되는 각 종 제어신호들의 셋업/홀드 타임을 소프트웨어적인 동작 명령으로 제어할 수 있도록 하는 셋업/홀드 타임 제어 장치에 관한 것이다.

<6> 도 1은 종래의 셋업/홀드 타임 제어 장치에 관한 회로도이다.

<7> 종래의 셋업/홀드 타임 제어 장치는 드라이버와, 신호지연부와, 메탈옵션부(2,3) 및 래치(4)를 구비한다.

<8> 여기서, 드라이버는 직렬 연결되어 입력버퍼(1)의 출력신호를 비반전 지연하는 복수개의 인버터 IV1, IV2, IV3, IV4를 구비한다. 그리고, 드라이버는 입력버퍼(1)로부터

출력되는 어드레스, 명령신호 또는 입력 데이터를 구동하여 글로벌 버스 라인 제어신호 GB_BL를 래치(4)에 제공한다.

<9> 메탈 옵션부(2,3)는 메탈 옵션 스위치들 M01~M04을 구비하여 신호지연부를 선택적으로 제어함으로써 래치(4)에 제공되는 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 제어한다.

<10> 신호지연부는 메탈 옵션 스위치 M01,M02에 의해 인버터 IV2의 출력단에 선택적으로 연결되는 모스 캐패시터 C1,C2를 구비한다. 그리고, 모스 캐패시터 C3,C4는 메탈 옵션 스위치 M03,M04에 의해 인버터 IV3의 출력단에 선택적으로 연결된다.

<11> 래치(4)는 클럭 신호 CLK에 동기되어 글로벌 버스 라인 제어신호 GB_BL를 래치하여 글로벌 버스 라인(미도시)에 출력한다.

<12> 이때, 래치(4)에 입력되는 글로벌 버스 라인 제어신호 GB_BL가 유효하기 위해서는 클럭신호 CLK 보다 일정시간(셋업 타임) 먼저 래치(4)에 전송되어야 한다. 그리고, 클럭신호 CLK에 동기되어 래치(4)가 동작한 이후에, 일정시간(홀드 타임) 동안 글로벌 버스 라인 제어신호 GB_BL의 상태를 그대로 유지하여야 한다.

<13> 여기서, 가장 이상적인 조건은 시간적으로 글로벌 버스 라인 제어신호 GB_BL의 셋업타임 이후에 클럭 신호 CLK가 인에이블되고, 홀드 타임 동안에 글로벌 버스 라인 제어신호 GB_BL의 상태를 유지하는 것이다.

<14> 그런데, 입력버퍼(1)를 통해 실제적인 칩 외부에서 입력되는 신호들은 내부 전송 라인의 길이와, 각종 노이즈와, 캐패시턴스 또는 저항 등의 영향으로 인해 이상적인 조건을 만족시키기가 어렵다.

<15> 따라서, 종래의 셋업/홀드 타임 제어 장치는, 모스 캐패시터 C1~C4와 같이 신호를 지연시킬 수 있도록 하는 신호지연소자들을 드라이버에 선택적으로 연결하여 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 조절할 수 있도록 설계한다.

<16> 즉, 글로벌 버스 라인 제어신호 GB_BL의 셋업/홀드 타임을 조정하기 위하여 물리적인 장비를 필요로 하는 메탈 옵션을 사용하게 된다. 따라서, 셋업/홀드 타임을 조정하기 위하여 메탈층의 회로 변경을 필요로 하기 때문에 물리적으로 많은 시간과 비용이 소모되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 입력버퍼로부터 인가되는 각종 제어신호들의 셋업/홀드 타임을 디코딩된 테스트 모드 제어신호에 따라 제어함으로써 글로벌 버스 라인에 인가되는 각종 제어신호의 셋업/홀드 타임을 적절히 제어할 수 있도록 하는데 그 목적이 있다.

【발명의 구성 및 작용】

<18> 상기한 목적을 달성하기 위한 본 발명의 셋업/홀드 타임 제어 장치는, 입력버퍼의 출력신호를 증폭하여 글로벌 버스 라인 제어신호를 출력하는 드라이버와, 드라이버에 선택적으로 연결되어 글로벌 버스 라인 제어신호를 지연시키는 신호지연부와, 글로벌 버스 라인 제어신호의 셋업/홀드 타임의 동작 여부를 제어하는 테스트 제어신호와, 테스트 모드 진입 신호 및 테스트 모드 종료 신호를 디코딩하여 테스트 모드 지연신호를 출력하는 디코딩부 및 테스트 모드 지연신호의 상태에 따라 신호지연부를 드라이버에 선택적으